

Средства функциональной верификации компании Eremex

Никита Малышев (malyshev.n@prosoft.ru)

Компания Eremex входит в консорциум разработчиков отечественных систем автоматизированного проектирования и предлагает широкий набор программных средств – от работы с компонентной базой до выдачи технологических файлов для производства. В статье рассматривается система функциональной верификации программируемых логических интегральных схем Delta Design Simtera, а также анализируются основные принципы работы с верификацией, заложенные в этой системе.

ВВЕДЕНИЕ

Сегодня, как показывают исследования и практика, важнейшее значение при разработке функциональности программируемой логической интегральной схемы (ПЛИС) приобретает верификация проекта [1], причём сложность этого процесса растёт из года в год. Согласно исследованиям, проведённым компанией Mentor Graphics, в среднем верификация занимает 48% от все-

го времени, потраченного на создание проекта.

Если говорить о растущей сложности верификации, то стоит учесть, что в среднем 59% проектов на ПЛИС содержат встраиваемый процессор, а 32% проектов задействуют 2 и более процессоров [2] – это также усложняет разработку и отладку. В итоге более половины разработок, а именно 65%, сдаются позже намеченных сроков. Причиной этого является наличие в них «непростых» ошибок.

ИНСТРУМЕНТЫ DELTA DESIGN SIMTERA

Учитывая то, что инженерный состав, занимающийся функциональной верификацией, тратит 21 и 43% времени на создание тестбенчей и отладку соответственно [3], в Delta Design Simtera основное внимание уделено таким областям деятельности разработчика ПЛИС, как ведение кода, нахождение и устранение ошибок и моделирование.

В системе реализован низкий уровень входа, что поможет как опытному, так и начинающему HDL-программисту начать разработку под программируемую логику. Simtera поддерживает спецификации популярных HDL-языков (VHDL 2008 и Verilog 2001), позволяет работать над «смешанными» проектами и пользоваться преимуществами обоих языков в составе одного проекта. Инструменты подсветки синтаксиса и поиска по коду делают разработку

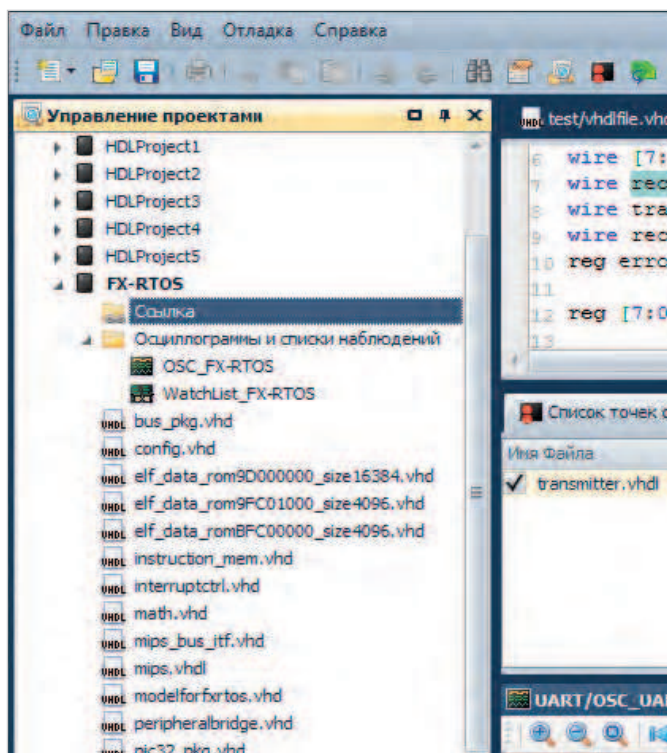


Рис. 1. Управление и структура в дереве проекта Simtera

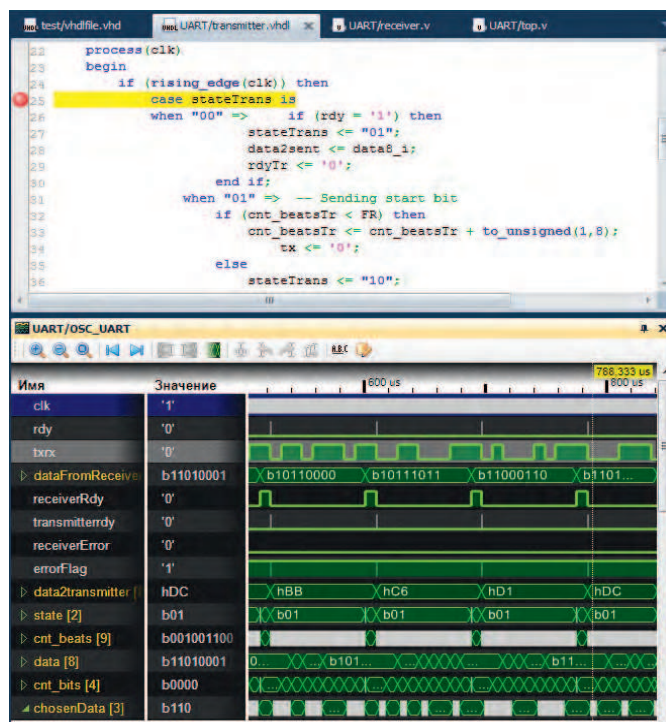


Рис. 2. Использование инструментов «Точка остановки» и «Осциллограф» в Simtera

ещё более удобной без необходимости использования сторонних текстовых редакторов.

Низкий уровень входа достигается также за счёт интуитивно понятного интерфейса пользователя. Чёткая структура проектов облегчает процесс разработки и навигации. Возможность использования ссылки на проект позволяет не дублировать большое количество одинакового кода, а ссылаться на однажды написанный код из других проектов (см. рис. 1).

Для отладки в Simtera предусмотрен пошаговый механизм с просмотром значений переменных на интересующем разработчика шаге. Пошаговую отладку можно использовать совместно с осциллографом (см. рис. 2). Среда моделирования позволяет увидеть содержимое регистров, памяти и проанализировать временные диаграммы. Также для отладки кода в системе предусмотрена верификация с помощью ассертов. Встроенная система просмотра ассертов позволяет быстро локализовать и устранить истинную причину ошибки, в несколько раз сокращая время верификации объекта по сравнению с традиционным моделированием.

Таким образом, Simtera представляет собой единую систему разработки и отладки HDL-кода в едином пользовательском интерфейсе с интегрированной средой отладки.

Режим работы с осциллографом значительно снижает визуальную нагрузку: отсутствует эффект «мерцания» при перемотке данных, при большом мас-

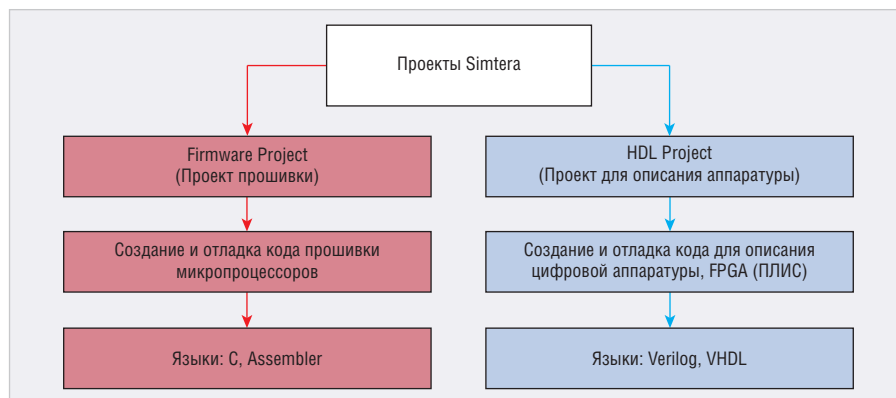


Рис. 3. Виды проектов в Simtera

штабе данные сворачиваются, обеспечена плавность отрисовки данных.

ПЕРЕХОД СО СТОРОННИХ СИСТЕМ ВЕРИФИКАЦИИ ПРОЕКТОВ ПЛИС В SIMTERA

Ориентированность программного пакета Simtera на общепринятые стандарты языков описания аппаратуры позволяет разработчикам перенести наработанные функциональные блоки и тестбенчи. Для этого в системе предусмотрен импорт проектов. Интегрированная среда разработки для ПЛИС и микропроцессоров может стать ещё одной из причин миграции в Simtera (см. рис. 3).

В скором времени предполагается реализовать интеграцию с системой сквозного проектирования печатных плат, что позволит разработчикам HDL и печатных плат обмениваться констрейнами для более эффективного совместного проектирования ПЛИС и плат с их использованием.


ЗАКЛЮЧЕНИЕ

Основной набор инструментов в системе проектирования и верификации Simtera предназначен для выявления и оперативного устранения ошибок, что положительно сказывается на стоимости и сроках процесса разработки. Мощная система по работе с проектами и HDL-кодом, реализованная в Simtera, делает разработку ПЛИС-проектов более удобной и эффективной.

ЛИТЕРАТУРА


1. The 2016 Wilson Research Group Functional Verification Study. Part 2. FPGA Verification Effort Trends
2. The 2016 Wilson Research Group Functional Verification Study. Part 1. FPGA Design Trends
3. The 2016 Wilson Research Group Functional Verification Study. Part 3. FPGA Effort Verification Trends (Continued)





РОССИЙСКИЙ РАЗРАБОТЧИК И ПРОИЗВОДИТЕЛЬ

- Разработка герметичных DC/DC-преобразователей для ответственных применений
- Разработка и производство мощных источников питания для авиационной аппаратуры
- Разработка заказных силовых и ВЧ/СВЧ-модулей
- Производство дискретных силовых компонентов в керамических корпусах
- Разработка и проведение испытаний изделий и компонентов силовой электроники



ОФИЦИАЛЬНЫЙ ДИЛЕР

АКТИВНЫЙ КОМПОНЕНТ ВАШЕГО БИЗНЕСА
(495) 232-2522 ▪ INFO@PROCHIP.RU ▪ WWW.PROCHIP.RU